

DERWENT-ACC-NO: 1998-601863

DERWENT-WEEK: 199851

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Overcurrent limitation method for invertor
driving electric motor - involves transmitting PWM
signal for time shorter than predetermined period of
switching element, when time of next pulse of PWM signal
exceeds that period

PATENT-ASSIGNEE: YASKAWA ELECTRIC CORP[YASW]

PRIORITY-DATA: 1997JP-0071704 (March 25, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 10271837 A	October 9, 1998	N/A
006 H02M 007/48		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 10271837A	N/A	1997JP-0071704
March 25, 1997		

INT-CL (IPC): G05F001/10, H02H007/122 , H02H009/02 , H02M007/48 ,
H02M007/5387 , H02P007/63

ABSTRACTED-PUB-NO: JP 10271837A

BASIC-ABSTRACT:

The method involves connecting several resistors (R1-R6) respectively to several switching elements (Q1-Q6) which generate three phase alternating current. A power controller (3) detects overcurrent in the switching element by detecting the voltage at each end of the resistor and then outputs a overcurrent detection signal to a microcomputer (4). The

microcomputer then calculates and outputs a PWM signal to the power controller. The power controller drives the switching elements, based on the obtained PWM signal.

When overcurrent in the switching element is detected, the gate of the corresponding switching element is cut off. The switching element is then returned to operating condition, at the time of fall of next pulse of PWM signal. When the time of fall of next pulse of PWM signal exceeds predetermined period of the switching element, [a PWM signal for making the switching element to ON or OFF state within a time shorter than the predetermined period of the switching element is generated, after detection of overcurrent.]

ADVANTAGE - Suppresses distortion of output current waveform, to minimum level.

CHOSEN-DRAWING: Dwg.3/4

TITLE-TERMS: OVERCURRENT LIMIT METHOD DRIVE ELECTRIC MOTOR TRANSMIT
PWM SIGNAL
TIME SHORT PREDETERMINED PERIOD SWITCH ELEMENT TIME PULSE
PWM
SIGNAL PERIOD

DERWENT-CLASS: U21 X12 X13

EPI-CODES: U21-B01A; U21-B05C; X12-J01B; X12-J05A1A; X13-C01C; X13-C04D;
X13-G01B1;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-469253

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-271837

(43)Date of publication of application : 09.10.1998

(51)Int.Cl.

H02M 7/48
G05F 1/10
H02H 7/122
H02H 9/02
H02M 7/5387
H02P 7/63

(21)Application number : 09-071704

(71)Applicant : YASKAWA ELECTRIC CORP

(22)Date of filing : 25.03.1997

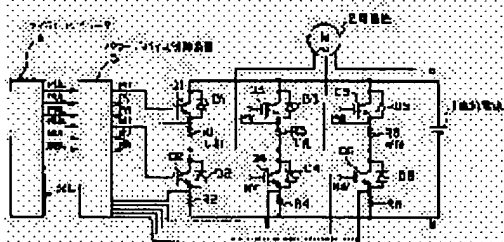
(72)Inventor : KUDO MASAKAZU

(54) OVERCURRENT RESTRICTION IN INVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the waveform distortion of output current to a minimum even if an inverter is in a PWM saturation range or two-arm modulation range.

SOLUTION: If an interval from the detection of overcurrent in insulated gate bipolar transistors Q1 to Q6 to the next pulse fall of a PWM signal exceeds the switching period of the insulated gate bipolar transistors Q1 to Q6, a driving signal for permitting the insulated gate bipolar transistors Q1 to Q6 to be an ON or OFF condition for the period shorter than the interval is generated in a microcomputer 4 for outputting the PWM signal to a power device controller 3 as the PWM signal. The power device controller 3 controls the insulated gate bipolar transistors Q1 to Q6 based on the PWM signal outputted from the microcomputer 4.



LEGAL STATUS

[Date of request for examination]

09.01.2004

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] DC power supply and two or more solid-state-switching components which generate the three-phase alternating current by ON / off actuation, While controlling two or more resistance for connecting with these two or more solid-state-switching components, respectively, and detecting the overcurrent in the connected solid-state-switching component, and the drive of said solid-state-switching component The power device control unit which detects the overcurrent in said solid-state-switching component, and outputs this detection result as an overcurrent detecting signal by detecting the electrical potential difference of each both ends of said resistance, Calculate the pulse-width-modulation signal for making a motor drive, and it has the microcomputer which outputs this pulse-width-modulation signal to said power device control unit as a signal for making said solid-state-switching component drive.

Control of a drive of said solid-state-switching component by said power device control device is performed based on said PWM signal. When the overcurrent in said solid-state-switching component is detected by said power device control device The gate of a solid-state-switching component where the overcurrent was detected among said solid-state-switching components is intercepted. Then, it sets to the overcurrent limit approach in the inverter which restricts an overcurrent by returning said solid-state-switching component to operating state in the time of falling of the next pulse of said pulse-width-modulation signal. After said overcurrent is detected, when spacing to falling of the next pulse of said pulse-width-modulation signal exceeds the switching period of said solid-state-switching component The overcurrent limit approach in the inverter characterized by generating a driving signal only for time amount shorter than said spacing making said solid-state-switching component ON or an OFF state, and outputting as said pulse-width-modulation signal.

[Claim 2] The overcurrent limit approach in the inverter according to claim 1 characterized by intercepting all the gates of two or more of said solid-state-switching components when the count which intercepted said gate is counted and this counted value reaches a predetermined value.

[Translation done.]

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the overcurrent limit approach in the inverter which makes a motor drive.

[0002]

[Description of the Prior Art] Drawing 3 is the circuit diagram showing the example of 1 configuration of the inverter which has a protection network to the overcurrent in a switching element. This circuit is a thing which makes a motor 2 drive with a three phase (U phase, V phase, W phase) AC signal, as shown in drawing 3 : DC power supply 1, The insulated-gate mold bipolar transistors Q1, Q3, and Q5 which are the solid-state-switching components which generate the upper arm of a three-phase-alternating-current signal by ON / off actuation, The insulated-gate mold bipolar transistors Q2, Q4, and Q6 which are the solid-state-switching components which generate the bottom arm of a three-phase-alternating-current signal by ON / off actuation, The resistance R1-R6 for connecting with the emitter side of the insulated-gate mold bipolar transistors Q1-Q6, respectively, and detecting the overcurrent in the insulated-gate mold bipolar transistors Q1-Q6, respectively, While controlling the free wheel diodes D1-D6 connected with the insulated-gate mold bipolar transistors Q1-Q6 at reverse juxtaposition, respectively, and the drive of the insulated-gate mold bipolar transistors Q1-Q6 The power device control unit 3 which detects the overcurrent in the insulated-gate mold bipolar transistors Q1-Q6, and outputs the detection result as an overcurrent detecting signal OCL by detecting the electrical potential difference of each both ends of resistance R1-R6, The Pulse-Density-Modulation signal (an PWM signal is called hereafter) for making a motor 2 drive is calculated. It consists of microcomputers 4 which output the calculated PWM signal to the power device control unit 3 as a signal for making the insulated-gate mold bipolar transistors Q1-Q6 drive. Control of a drive of the insulated-gate mold bipolar transistors Q1-Q6 by the power device control device 3 is performed based on the PWM signal outputted from a microcomputer 4. In addition, in a motor 2, it connects at the node of the insulated-gate mold bipolar transistor Q1, Q2, Q3 and Q4, and Q5 and Q6, and drives with the three-phase-alternating-current signal outputted from the insulated-gate mold bipolar transistors Q1-Q6. Moreover, as DC power supply 1, the DC power supply from which rectification of the AC power supply of a three phase is carried out, and it is obtained can be considered by the converter which consisted of diodes, and the induction motor of a three phase etc. can be considered as a motor 2 by it, for example.

[0003] In the drive method of the inverter constituted as mentioned above here 3 arm modulation technique which is made to turn on/off operate altogether the insulated-gate mold bipolar transistors Q1-Q6 of three arms, and obtains an AC-power-supply output by that cause, The inside of the insulated-gate mold bipolar transistors Q1-Q6 of three arms, Although there is a 2 arm modulation technique which obtains an AC-power-supply output when turning on/off operating only the insulated-gate mold bipolar transistor of two arms and carrying out specific section ON actuation of the insulated-gate mold bipolar transistor of the one remaining arms of the one period of an AC-power-supply output Usually, since 100% of output cannot be obtained to an input in the inverter using 3 arm modulation technique, 2 arm modulation technique which can obtain 100% of output to an input is used in many cases.

[0004] Below, the overcurrent limit approach in the inverter constituted as mentioned above is explained. Drawing 4 is a timing chart for explaining the conventional overcurrent limit approach in the inverter shown in drawing 3 . In addition, the case of 2 arm modulation technique is shown in drawing 4 . While the insulated-gate mold bipolar transistor Q1 will be in an ON state and the current is flowing to the insulated-gate mold bipolar transistor Q1 If an overcurrent is detected in resistance R1, it will set to the power device control unit 3. While the driving signal PU for making the insulated-gate mold bipolar transistor Q1 drive is fixed to Hi level and the gate of the insulated-gate mold bipolar transistor Q1 is intercepted by that cause The overcurrent detecting signal OCL is set as an overcurrent detection condition (Low level), and is outputted to a microcomputer 4.

[0005] Then, actuation of the insulated-gate mold bipolar transistor Q1 stops, and the alternating current

of U phase is no longer normally inputted into a motor 2. Then, the overcurrent detecting signal OCL and a driving signal PU are reset at the time of falling of the next pulse of the driving signal PUL for making the insulated-gate mold bipolar transistor Q1 which is the PWM signal currently beforehand calculated in the microcomputer 4 drive, and, thereby, the insulated-gate mold bipolar transistor Q1 returns to normal operation. In what is indicated by JP,5-252754,A When an overcurrent detection means is formed in the DC-power-supply section of an inverter main circuit and an overcurrent is detected in this overcurrent detection means By stopping actuation of the solid-state-switching component with which the overcurrent was detected, and returning actuation of a solid-state-switching component after that at the time of falling of the next pulse of the PWM signal currently calculated with the microcomputer The overcurrent limit in an inverter is performed.

[0006]

[Problem(s) to be Solved by the Invention] In the overcurrent limit approach in the conventional inverter which was mentioned above When an overcurrent is detected in an overcurrent detection means, actuation of the solid-state-switching component with which the overcurrent was detected is stopped. Then, although actuation of a solid-state-switching component is returned at the time of falling of the next pulse of the PWM signal currently calculated with the microcomputer In the inverter using 2 arm modulation technique Since the pulse to the solid-state-switching component of one arm is not outputted, As shown in drawing 4 , the part to which spacing of the pulse of a driving signal PUL and pulse which are the PWM signal currently calculated with the microcomputer becomes longer than the period of a solid-state-switching component exists (drawing 4 A section). Therefore, when actuation of a solid-state-switching component stops in the period, the current of the phase in the solid-state-switching component which actuation stopped is not outputted to long duration normal, but there is a trouble that the wave of the part and the output current will be distorted. This will not be restricted when 2 arm modulation technique is used, but it will be produced at the time of PWM saturation.

[0007] This invention is made in view of the trouble which a Prior art which was mentioned above has, and aims at offering the overcurrent limit approach in the inverter which can suppress the wave-like distortion of the output current to the minimum.

[0008]

[Means for Solving the Problem] Two or more solid-state-switching components for which this invention generates the three-phase alternating current by DC power supply, and ON / off actuation in order to attain the above-mentioned purpose, While controlling two or more resistance for connecting with these two or more solid-state-switching components, respectively, and detecting the overcurrent in the connected solid-state-switching component, and the drive of said solid-state-switching component The power device control unit which detects the overcurrent in said solid-state-switching component, and outputs this detection result as an overcurrent detecting signal by detecting the electrical potential difference of each both ends of said resistance, Calculate the pulse-width-modulation signal for making a motor drive, and it has the microcomputer which outputs this pulse-width-modulation signal to said power device control unit as a signal for making said solid-state-switching component drive. Control of a drive of said solid-state-switching component by said power device control device is performed based on said PWM signal. When the overcurrent in said solid-state-switching component is detected by said power device control device The gate of a solid-state-switching component where the overcurrent was detected among said solid-state-switching components is intercepted. Then, it sets to the overcurrent limit approach in the inverter which restricts an overcurrent by returning said solid-state-switching component to operating state in the time of falling of the next pulse of said pulse-width-modulation signal. After said overcurrent is detected, when spacing to falling of the next pulse of said pulse-width-modulation signal exceeds the switching period of said solid-state-switching component A driving signal only for time amount shorter than said spacing to make said solid-state-switching component ON or an OFF state is generated, and it is characterized by outputting as said Pulse-Density-Modulation signal.

[0009] Moreover, when the count which intercepted said gate is counted and this counted value reaches a predetermined value, it is characterized by intercepting all the gates of two or more of said solid-state-

switching components.

(Operation) In this invention constituted as mentioned above, after an overcurrent is detected, when spacing to falling of the next pulse of a pulse-width-modulation signal exceeds the switching period of a solid-state-switching component, a driving signal only for time amount shorter than the spacing to make a solid-state-switching component ON or an OFF state is generated, and it is outputted as a pulse-width-modulation signal. [after an overcurrent is detected, when spacing to falling of the next pulse of a pulse-width-modulation signal exceeds the switching period of a solid-state-switching component by that cause] Since a solid-state-switching component returns to operating state based on said driving signal after an overcurrent is detected and the gate is intercepted It is lost that the current of the phase in the solid-state-switching component by which the gate was intercepted is not outputted to long duration normal, and the wave-like distortion of the output current is suppressed to the minimum.

[0010] Moreover, since all the gates of two or more solid-state-switching components are intercepted when the count which intercepted the gate counts and this counted value reaches a predetermined value, it is carried out by operation of a motor continuing within the overcurrent tolerated dose of a solid-state-switching component.

[0011]

[Embodiment of the Invention] Below, the gestalt of operation of this invention is explained with reference to a drawing. Drawing 1 is a timing chart for explaining one gestalt of operation of the overcurrent limit approach of this invention in the inverter shown in drawing 3. In addition, in drawing 1, the case of 2 arm modulation technique is shown like drawing 4. While the insulated-gate mold bipolar transistor Q1 will be in an ON state and the current is flowing to the insulated-gate mold bipolar transistor Q1 If an overcurrent is detected in resistance R1, it will set to the power device control unit 3. While the driving signal PU for making the insulated-gate mold bipolar transistor Q1 drive is fixed to Hi level and the gate of the insulated-gate mold bipolar transistor Q1 is intercepted by that cause The overcurrent detecting signal OCL is set as an overcurrent detection condition (Low level), and is outputted to a microcomputer 4.

[0012] Then, actuation of the insulated-gate mold bipolar transistor Q1 stops, and the alternating current of U phase is no longer normally inputted into a motor 2. Then, it sets at the time of falling of the next pulse of the driving signal PUL for making the insulated-gate mold bipolar transistor Q1 which is the PWM signal currently beforehand calculated in the microcomputer 4 drive. Although the overcurrent detecting signal OCL and a driving signal PU are reset and the insulated-gate mold bipolar transistor Q1 returns to normal operation by that cause In a microcomputer 4, the operation of an PWM signal is anew performed based on spacing of the pulse of the PWM signal currently calculated beforehand in that case. Below, data processing of the PWM signal in a microcomputer is explained at a detail.

[0013] Drawing 2 is a flow chart which shows the operation algorithm of the microcomputer in the overcurrent limit approach of this invention. First, in a microcomputer 4 (refer to drawing 3), it is judged whether the overcurrent detecting signal OCL inputted from the power device control device 3 (refer to drawing 3) is an ON state (Low level) or it is an OFF state (Hi level) (step S1). When it is judged that the overcurrent detecting signal OCL is an ON state in step S1, it is judged whether spacing to the next pulse of the PWM signal for a solid-state-switching component drive currently beforehand calculated with the microcomputer 4 (refer to drawing 3) is over the switching period of a solid-state-switching component (step S2). That is, in step S2, when an overcurrent is detected, it is judged whether an inverter is an PWM saturation region or 2 arm modulation field.

[0014] When it was judged that the overcurrent detecting signal OCL was an OFF state in step S1, or when spacing to the next pulse of the PWM signal for a solid-state-switching component drive is judged to be below the switching period of a solid-state-switching component in step S2, data processing of the usual PWM signal is performed (step S6). On the other hand, when spacing to the next pulse of the PWM signal for a solid-state-switching component drive is judged to exceed the switching period of a solid-state-switching component in step S2, the driving signal for making a solid-state-switching component into the minimum time amount ON or an OFF state is generated (step S3). In addition, in this minimum time amount, it is the time amount of switching period extent of a solid-state-switching

component. If the PWM signal for a solid-state-switching component drive is a signal which will be in an ON state to the following pulse after the processing in step S3. If it is the signal with which the operation of the PWM signal for making a solid-state-switching component into the minimum time amount OFF state will be performed (step S4), and the PWM signal for a solid-state-switching component drive will be in an OFF state to the following pulse. The operation of the PWM signal for making a solid-state-switching component into the minimum time amount ON state is performed (step S5), and the calculated PWM signal is outputted to the power device control unit 3 (refer to drawing 3) as driving signal PUL-NWL (refer to drawing 3).

[0015] And in the power device control unit 3 (refer to drawing 3), the overcurrent detecting signal OCL and driving signal PU-NW are reset at the time of falling of the next pulse of driving signal PUL-NWL (refer to drawing 3) outputted from the microcomputer 4 (refer to drawing 3), and, thereby, a solid-state-switching component returns to normal operation. In addition, a series of actuation mentioned above is performed until the overcurrent detecting signal OCL is reset. Moreover, it sets to a microcomputer 4 (refer to drawing 3). The count (count of read in of the overcurrent detecting signal OCL outputted from the power device control unit 3) by which the gate of a solid-state-switching component was intercepted at the time of overcurrent detection has counted. [the time of the count reaching a predetermined count (for example, 5 times) continuously, or when it reached at the predetermined count (for example, 5 times) in predetermined time amount (for example, inside of time amount of 30 times of the switching period of a solid-state-switching component)] The gate of all the solid-state-switching components of an inverter main circuit is intercepted.

[0016]

[Effect of the Invention] Since this invention is constituted as explained above, it does so effectiveness which is indicated below. After an overcurrent is detected, when spacing to falling of the next pulse of a pulse-width-modulation signal exceeds the switching period of a solid-state-switching component in a thing according to claim 1, Generate a driving signal only for time amount shorter than the spacing to make a solid-state-switching component ON or an OFF state, and it writes as the configuration outputted as a Pulse-Density-Modulation signal. [after an overcurrent is detected, when spacing to falling of the next pulse of a pulse-width-modulation signal exceeds the switching period of a solid-state-switching component] It is lost that the current of the phase in the solid-state-switching component by which the gate was intercepted is not outputted to normal for a long time, and the wave-like distortion of the output current can be suppressed to the minimum.

[0017] In a thing according to claim 2, when the count which intercepted the gate is counted and this counted value reaches a predetermined value, it writes as the configuration which intercepts all the gates of two or more solid-state-switching components, and operation of a motor can be continuously performed within the overcurrent tolerated dose of a solid-state-switching component. By these, when fluctuation arises in an overcurrent detecting signal by malfunction of the overcurrent detection and the protection network inside a transitional overcurrent (overload) and an inverter, or the outpatient department invasion noise, distortion of an output current wave is suppressed to the minimum, and operation of a motor can be performed continuously.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-271837

(43) 公開日 平成10年(1998)10月9日

(51) IntCl[°]

識別記号

F I

H 0 2 M 7/48

H 0 2 M 7/48

M

G 0 5 F 1/10

3 0 4

G 0 5 F 1/10

3 0 4 M

H 0 2 H 7/122

H 0 2 H 7/122

Z

9/02

9/02

E

H 0 2 M 7/5387

H 0 2 M 7/5387

Z

審査請求 未請求 請求項の数 2 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願平9-71704

(22) 出願日

平成9年(1997)3月25日

(71) 出願人 000006622

株式会社安川電機

福岡県北九州市八幡西区黒崎城石2番1号

(72) 発明者 工藤 雅一

福岡県北九州市八幡西区黒崎城石2番1号

株式会社安川電機内

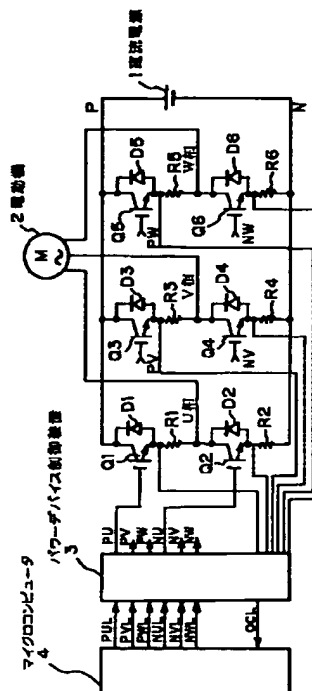
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 インバータにおける過電流制限方法

(57) 【要約】

【課題】 インバータがPWM飽和領域や2アーム変調領域であっても、出力電流の波形の歪みを最小限に抑える。

【解決手段】 絶縁ゲート型バイポーラトランジスタQ1～Q6における過電流が検出されてからPWM信号の次のパルスの立ち下がりまでの間隔が絶縁ゲート型バイポーラトランジスタQ1～Q6のスイッチング周期を越える場合、マイクロコンピュータ4において、絶縁ゲート型バイポーラトランジスタQ1～Q6をその間隔よりも短い時間だけオンあるいはオフ状態とするための駆動信号を生成し、PWM信号としてパワーデバイス制御装置3に対して出力し、パワーデバイス制御装置3において、マイクロコンピュータ4から出力されたPWM信号に基づいて絶縁ゲート型バイポーラトランジスタQ1～Q6の制御を行う。



【特許請求の範囲】

【請求項1】 直流電源と、オン/オフ動作によって三相交流を生成する複数の半導体スイッチング素子と、該複数の半導体スイッチング素子とそれぞれ接続され、接続された半導体スイッチング素子における過電流を検出するための複数の抵抗と、前記半導体スイッチング素子の駆動を制御するとともに、前記抵抗のそれぞれの両端の電圧を検出することにより前記半導体スイッチング素子における過電流を検出し、該検出結果を過電流検出信号として出力するパワーデバイス制御装置と、電動機を駆動させるためのパルス幅変調信号を演算し、該パルス幅変調信号を前記半導体スイッチング素子を駆動させるための信号として前記パワーデバイス制御装置へ出力するマイクロコンピュータとを有し、前記パワーデバイス制御装置による前記半導体スイッチング素子の駆動の制御が前記PWM信号に基づいて行われ、前記パワーデバイス制御装置にて前記半導体スイッチング素子における過電流が検出された場合に、前記半導体スイッチング素子のうち過電流が検出された半導体スイッチング素子のゲートを遮断し、その後、前記パルス幅変調信号の次のパルスの立ち下がり時に前記半導体スイッチング素子を動作状態に復帰させることにより過電流を制限するインバータにおける過電流制限方法において、前記過電流が検出されてから前記パルス幅変調信号の次のパルスの立ち下がりまでの間隔が前記半導体スイッチング素子のスイッチング周期を越える場合は、前記半導体スイッチング素子を前記間隔よりも短い時間だけオンあるいはオフ状態とするための駆動信号を生成し、前記パルス幅変調信号として出力することを特徴とするインバータにおける過電流制限方法。

【請求項2】 前記ゲートを遮断した回数をカウントし、該カウント値が所定の値に到達した場合、前記複数の半導体スイッチング素子の全てのゲートを遮断することを特徴とする請求項1に記載のインバータにおける過電流制限方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電動機を駆動させるインバータにおける過電流制限方法に関する。

【0002】

【従来の技術】 図3は、スイッチング素子における過電流に対する保護回路を有するインバータの一構成例を示す回路図である。本回路は図3に示すように、三相（U相、V相、W相）交流信号によって電動機2を駆動させるものであり、直流電源1と、オン/オフ動作によって三相交流信号の上アームを生成する半導体スイッチング素子である絶縁ゲート型バイポーラトランジスタQ1、Q3、Q5と、オン/オフ動作によって三相交流信号の下アームを生成する半導体スイッチング素子である絶縁ゲート型バイポーラトランジスタQ2、Q4、Q6と、

絶縁ゲート型バイポーラトランジスタQ1～Q6のエミッタ側にそれぞれ接続され、絶縁ゲート型バイポーラトランジスタQ1～Q6における過電流をそれぞれ検出するための抵抗R1～R6と、絶縁ゲート型バイポーラトランジスタQ1～Q6とそれぞれ逆並列に接続されたフリーホイールダイオードD1～D6と、絶縁ゲート型バイポーラトランジスタQ1～Q6の駆動を制御するとともに、抵抗R1～R6のそれぞれの両端の電圧を検出することにより絶縁ゲート型バイポーラトランジスタQ1～Q6における過電流を検出し、その検出結果を過電流検出信号OCLとして出力するパワーデバイス制御装置3と、電動機2を駆動させるためのパルス幅変調信号（以下、PWM信号と称する）を演算し、演算したPWM信号を、絶縁ゲート型バイポーラトランジスタQ1～Q6を駆動させるための信号としてパワーデバイス制御装置3に対して出力するマイクロコンピュータ4とから構成されており、パワーデバイス制御装置3による絶縁ゲート型バイポーラトランジスタQ1～Q6の駆動の制御は、マイクロコンピュータ4から出力されるPWM信号に基づいて行われている。なお、電動機2においては、絶縁ゲート型バイポーラトランジスタQ1とQ2、Q3とQ4、及びQ5とQ6との接続点に接続され、絶縁ゲート型バイポーラトランジスタQ1～Q6から出力される三相交流信号によって駆動される。また、直流電源1としては、例えば、ダイオードで構成されたコンバータにより、三相の交流電源が順変換されて得られる直流電源等が考えられ、また、電動機2としては、例えば、三相の誘導電動機等が考えられる。

【0003】ここで、上記のように構成されたインバータの駆動方式においては、3アームの絶縁ゲート型バイポーラトランジスタQ1～Q6を全てオン/オフ動作させ、それにより交流電源出力を得る3アーム変調方式と、3アームの絶縁ゲート型バイポーラトランジスタQ1～Q6のうち、2アームの絶縁ゲート型バイポーラトランジスタのみオン/オフ動作させ、残りの1アームの絶縁ゲート型バイポーラトランジスタを交流電源出力の1周期のうちの特定区間オン動作させることにより交流電源出力を得る2アーム変調方式とがあるが、通常、3アーム変調方式を用いたインバータにおいては入力に対して100%の出力を得ることができないため、入力に対して100%の出力を得ることができる2アーム変調方式が用いられる場合が多い。

【0004】以下に、上記のように構成されたインバータにおける過電流制限方法について説明する。図4は、図3に示したインバータにおける従来の過電流制限方法を説明するためのタイミングチャートである。なお、図4においては、2アーム変調方式の場合について示している。絶縁ゲート型バイポーラトランジスタQ1がオン状態となり、絶縁ゲート型バイポーラトランジスタQ1に電流が流れているときに、抵抗R1において過電流が

検出されると、パワーデバイス制御装置3において、絶縁ゲート型バイポーラトランジスタQ1を駆動させるための駆動信号PUがHiレベルに固定され、それにより絶縁ゲート型バイポーラトランジスタQ1のゲートが遮断されるとともに、過電流検出信号OCLが過電流検出状態(Lowレベル)に設定されてマイクロコンピュータ4に対して出力される。

【0005】すると、絶縁ゲート型バイポーラトランジスタQ1の動作が停止し、電動機2にU相の交流電流が正常に流入されなくなる。その後、マイクロコンピュータ4において予め演算されているPWM信号である、絶縁ゲート型バイポーラトランジスタQ1を駆動させるための駆動信号PULの次のパルスの立ち下がり時において、過電流検出信号OCL及び駆動信号PUがリセットされ、それにより、絶縁ゲート型バイポーラトランジスタQ1が通常動作に復帰する。特開平5-252754号公報に開示されているものにおいては、インバータ主回路の直流電源部に過電流検出手段を設け、この過電流検出手段において過電流が検出された場合に、過電流が検出された半導体スイッチング素子の動作を停止させ、その後、マイクロコンピュータにて演算されているPWM信号の次のパルスの立ち下がり時において半導体スイッチング素子の動作を復帰させることによって、インバータにおける過電流制限を行っている。

【0006】

【発明が解決しようとする課題】上述したような従来のインバータにおける過電流制限方法においては、過電流検出手段において過電流が検出された場合に、過電流が検出された半導体スイッチング素子の動作を停止させ、その後、マイクロコンピュータにて演算されているPWM信号の次のパルスの立ち下がり時において半導体スイッチング素子の動作を復帰させているが、2アーム変調方式を用いたインバータにおいては、1アームの半導体スイッチング素子へのパルスが出力されていないため、図4に示すように、マイクロコンピュータにて演算されているPWM信号である駆動信号PULのパルスとパルスとの間隔が半導体スイッチング素子の周期よりも長くなる部分が存在してしまう(図4A部)。そのため、その期間において半導体スイッチング素子の動作が停止した場合、動作が停止した半導体スイッチング素子における相の電流が長時間正常に出力されず、その分、出力電流の波形が歪んでしまうという問題点がある。これは、2アーム変調方式が用いられた場合に限らず、PWM飽和時においても生じてしまう。

【0007】本発明は、上述したような従来の技術が有する問題点に鑑みてなされたものであって、出力電流の波形の歪みを最小限に抑えることができるインバータにおける過電流制限方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するため

に本発明は、直流電源と、オン/オフ動作によって三相交流を生成する複数の半導体スイッチング素子と、該複数の半導体スイッチング素子とそれぞれ接続され、接続された半導体スイッチング素子における過電流を検出するための複数の抵抗と、前記半導体スイッチング素子の駆動を制御するとともに、前記抵抗のそれぞれの両端の電圧を検出することにより前記半導体スイッチング素子における過電流を検出し、該検出結果を過電流検出信号として出力するパワーデバイス制御装置と、電動機を駆動させるためのパルス幅変調信号を演算し、該パルス幅変調信号を前記半導体スイッチング素子を駆動させるための信号として前記パワーデバイス制御装置へ出力するマイクロコンピュータとを有し、前記パワーデバイス制御装置による前記半導体スイッチング素子の駆動の制御が前記PWM信号に基づいて行われ、前記パワーデバイス制御装置にて前記半導体スイッチング素子における過電流が検出された場合に、前記半導体スイッチング素子のうち過電流が検出された半導体スイッチング素子のゲートを遮断し、その後、前記パルス幅変調信号の次のパルスの立ち下がり時に前記半導体スイッチング素子を動作状態に復帰させることにより過電流を制限するインバータにおける過電流制限方法において、前記過電流が検出されてから前記パルス幅変調信号の次のパルスの立ち下がりまでの間隔が前記半導体スイッチング素子のスイッチング周期を越える場合は、前記半導体スイッチング素子を前記間隔よりも短い時間だけオンあるいはオフ状態とするための駆動信号を生成し、前記パルス幅変調信号として出力することを特徴とする。

【0009】また、前記ゲートを遮断した回数をカウントし、該カウント値が所定の値に到達した場合、前記複数の半導体スイッチング素子の全てのゲートを遮断することを特徴とする。

(作用) 上記のように構成された本発明においては、過電流が検出されてからパルス幅変調信号の次のパルスの立ち下がりまでの間隔が半導体スイッチング素子のスイッチング周期を越える場合、半導体スイッチング素子をその間隔よりも短い時間だけオンあるいはオフ状態とするための駆動信号が生成され、パルス幅変調信号として出力される。それにより、過電流が検出されてからパルス幅変調信号の次のパルスの立ち下がりまでの間隔が半導体スイッチング素子のスイッチング周期を越える場合においても、過電流が検出されてゲートが遮断された後、前記駆動信号に基づいて半導体スイッチング素子が動作状態に復帰するので、ゲートが遮断された半導体スイッチング素子における相の電流が長時間正常に出力されないことがなくなり、出力電流の波形の歪みが最小限に抑えられる。

【0010】また、ゲートを遮断した回数がカウントされ、該カウント値が所定の値に到達した場合、複数の半導体スイッチング素子の全てのゲートが遮断されるの

で、半導体スイッチング素子の過電流耐量以内にて電動機の運転が継続して行われる。

【0011】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。図1は、図3に示したインバータにおける本発明の過電流制限方法の実施の一形態を説明するためのタイミングチャートである。なお、図1においては、図4と同様に2アーム変調方式の場合について示している。絶縁ゲート型バイポーラトランジスタQ1がオン状態となり、絶縁ゲート型バイポーラトランジスタQ1に電流が流れているときに、抵抗R1において過電流が検出されると、パワーデバイス制御装置3において、絶縁ゲート型バイポーラトランジスタQ1を駆動させるための駆動信号PUがHiレベルに固定され、それにより絶縁ゲート型バイポーラトランジスタQ1のゲートが遮断されるとともに、過電流検出信号OCLが過電流検出状態(Lowレベル)に設定されてマイクロコンピュータ4に対して出力される。

【0012】すると、絶縁ゲート型バイポーラトランジスタQ1の動作が停止し、電動機2にU相の交流電流が正常に流入されなくなる。その後、マイクロコンピュータ4において予め演算されているPWM信号である、絶縁ゲート型バイポーラトランジスタQ1を駆動させるための駆動信号PULの次のパルスの立ち下がり時に、過電流検出信号OCL及び駆動信号PUがリセットされ、それにより、絶縁ゲート型バイポーラトランジスタQ1が通常動作に復帰するが、その際、マイクロコンピュータ4において、予め演算されているPWM信号のパルスの間隔に基づいて、改めてPWM信号の演算が行われる。以下に、マイクロコンピュータにおけるPWM信号の演算処理について詳細に説明する。

【0013】図2は、本発明の過電流制限方法におけるマイクロコンピュータの演算アルゴリズムを示すフローチャートである。まず、マイクロコンピュータ4(図3参照)において、パワーデバイス制御装置3(図3参照)から入力される過電流検出信号OCLがオン状態(Lowレベル)であるかオフ状態(Hiレベル)であるかが判断される(ステップS1)。ステップS1において過電流検出信号OCLがオン状態であると判断された場合、マイクロコンピュータ4(図3参照)にて予め演算されている半導体スイッチング素子駆動用PWM信号の次のパルスまでの間隔が、半導体スイッチング素子のスイッチング周期を越えているか否かが判断される(ステップS2)。すなわち、ステップS2においては、過電流が検出された時点において、インバータがPWM飽和領域あるいは2アーム変調領域であるか否かが判断される。

【0014】ステップS1において過電流検出信号OCLがオフ状態であると判断された場合や、ステップS2において半導体スイッチング素子駆動用PWM信号の次

のパルスまでの間隔が、半導体スイッチング素子のスイッチング周期以下であると判断された場合は、通常のPWM信号の演算処理が行われる(ステップS6)。一方、ステップS2において、半導体スイッチング素子駆動用PWM信号の次のパルスまでの間隔が、半導体スイッチング素子のスイッチング周期を越えると判断された場合は、半導体スイッチング素子を最小時間オンあるいはオフ状態とするための駆動信号が生成される(ステップS3)。なお、この最小時間においては、半導体スイッチング素子のスイッチング周期程度の時間である。ステップS3における処理の後、半導体スイッチング素子駆動用PWM信号が、次のパルスまでオン状態となる信号であれば、半導体スイッチング素子を最小時間オフ状態とするためのPWM信号の演算が行われ(ステップS4)、また、半導体スイッチング素子駆動用PWM信号が、次のパルスまでオフ状態となる信号であれば、半導体スイッチング素子を最小時間オン状態とするためのPWM信号の演算が行われ(ステップS5)、演算されたPWM信号が駆動信号PUL~NWL(図3参照)としてパワーデバイス制御装置3(図3参照)に対して出力される。

【0015】そして、パワーデバイス制御装置3(図3参照)において、マイクロコンピュータ4(図3参照)から出力された駆動信号PUL~NWL(図3参照)の次のパルスの立ち下がり時に、過電流検出信号OCL及び駆動信号PU~NWがリセットされ、それにより、半導体スイッチング素子が通常動作に復帰する。なお、上述した一連の動作は、過電流検出信号OCLがリセットされるまで行われる。また、マイクロコンピュータ4(図3参照)においては、過電流検出時に半導体スイッチング素子のゲートが遮断された回数(パワーデバイス制御装置3から出力される過電流検出信号OCLの読み込み回数)がカウントされており、その回数が連続して所定の回数(例えば5回)に到達した時点、あるいは所定の時間内(例えば半導体スイッチング素子のスイッチング周期の30倍の時間内)に所定の回数(例えば5回)に到達した時点において、インバータ主回路の全半導体スイッチング素子のゲートが遮断される。

【0016】

【発明の効果】本発明は、以上説明したように構成されているので、以下に記載するような効果を奏する。請求項1に記載のものにおいては、過電流が検出されてからパルス幅変調信号の次のパルスの立ち下がりまでの間隔が半導体スイッチング素子のスイッチング周期を越える場合、半導体スイッチング素子をその間隔よりも短い時間だけオンあるいはオフ状態とするための駆動信号を生成し、パルス幅変調信号として出力する構成としたため、過電流が検出されてからパルス幅変調信号の次のパルスの立ち下がりまでの間隔が半導体スイッチング素子のスイッチング周期を越える場合においても、ゲートが

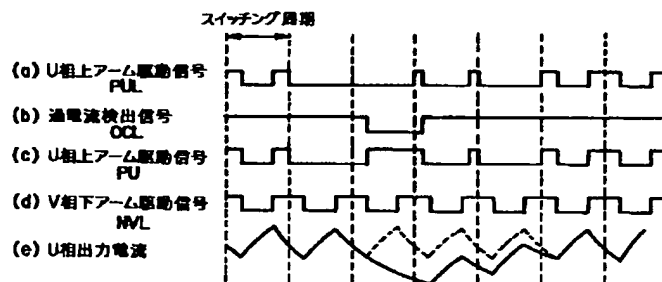
遮断された半導体スイッチング素子における相の電流が長時間正常に出力されないことがなくなり、出力電流の波形の歪みを最小限に抑えることができる。

【0017】請求項2に記載のものにおいては、ゲートを遮断した回数をカウントし、該カウント値が所定の値に到達した場合、複数の半導体スイッチング素子の全てのゲートを遮断する構成としたため、半導体スイッチング素子の過電流耐量以内にて電動機の運転を継続して行うことができる。これらにより、過渡的な過電流（過負荷）、インバータ内部の過電流検出・保護回路の誤動作あるいは外来侵入ノイズによって過電流検出信号に変動が生じた場合においても、出力電流波形の歪みを最小限に抑えて電動機の運転を継続して行うことができる。

【図面の簡単な説明】

【図1】本発明の、インバータにおける過電流制限方法の実施の一形態を説明するためのタイミングチャートである。

【図1】



【図2】本発明の過電流制限方法におけるマイクロコンピュータの演算アルゴリズムを示すフローチャートである。

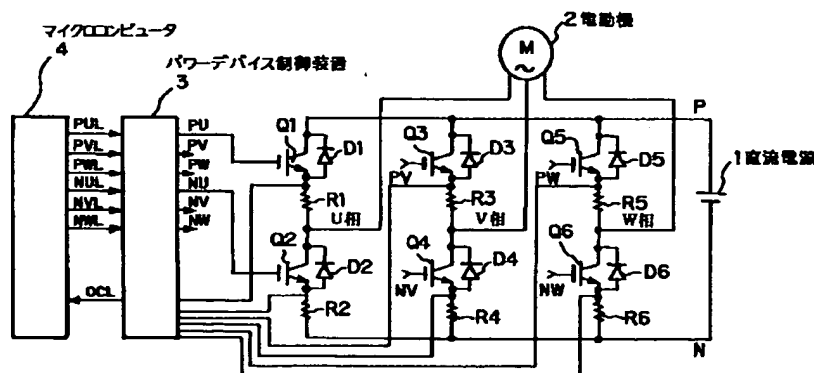
【図3】スイッチング素子における過電流に対する保護回路を有するインバータの一構成例を示す回路図である。

【図4】図3に示したインバータにおける従来の過電流制限方法を説明するためのタイミングチャートである。

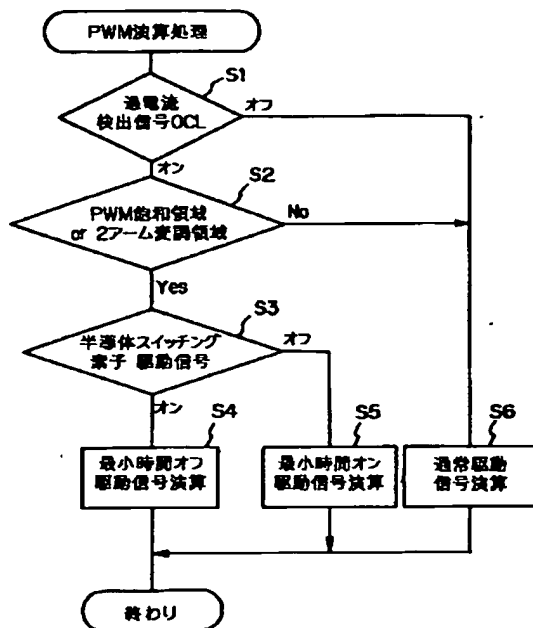
【符号の説明】

- | | |
|-------|-------------------|
| 1 | 直流電源 |
| 2 | 電動機 |
| 3 | パワーデバイス制御装置 |
| 4 | マイクロコンピュータ |
| D1～D6 | フリーホイールダイオード |
| Q1～Q6 | 絶縁ゲート型バイポーラトランジスタ |
| R1～R6 | 抵抗 |

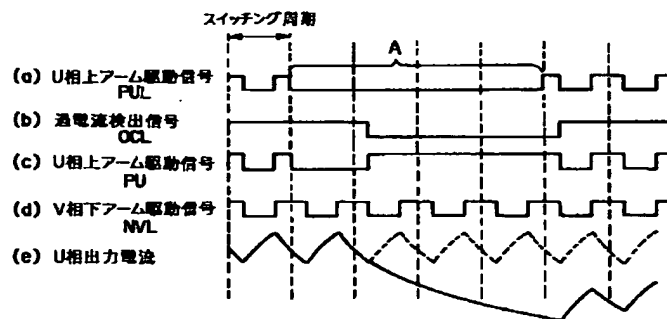
【図3】



【図2】



【図4】



フロントページの続き

(51)Int. Cl.⁶

H02P 7/63

識別記号

302

FI

H02P 7/63

302D